

Docket No.: 60188-591

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
: Takashi SUMIKAWA :
Serial No.: : Group Art Unit:
Filed: July 28, 2003 : Examiner:
For: METHOD FOR PREDICTING PERFORMANCE OF INTEGRATED CIRCUIT AND METHOD
FOR DESIGNING THE CIRCUIT

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-001829, filed January 8, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mcw
Facsimile: (202) 756-8087
Date: July 28, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

60188-591
T. SUMIKAWA
July 28, 2003.
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月 8日

出 願 番 号

Application Number:

特願2003-001829

[ST.10/C]:

[JP2003-001829]

出 願 人

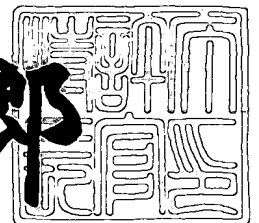
Applicant(s):

松下電器産業株式会社

2003年 4月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030395

【書類名】 特許願

【整理番号】 2926430265

【提出日】 平成15年 1月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/82

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 隅川 敬

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 集積回路の性能予測方法及び設計方法

【特許請求の範囲】

【請求項 1】 開発初期段階で集積回路の性能を予測する方法であって、
既存かつ同一世代のプロセスによる異種の第 1 及び第 2 の回路の性能をそれぞれ求める第 1 のステップと、

前記第 1 及び第 2 の回路の間の性能相関係数を求める第 2 のステップと、

各々前記第 1 及び第 2 の回路と同種の回路でありかつ次世代プロセスによる第 3 及び第 4 の回路のうち、前記第 3 の回路の性能予測値又は性能目標値と、前記第 2 のステップで求めた性能相関係数とを用いて、前記第 4 の回路の性能を予測する第 3 のステップとを備えたことを特徴とする集積回路の性能予測方法。

【請求項 2】 請求項 1 記載の集積回路の性能予測方法において、

前記第 1 の回路と同種の回路に関する既存プロセス世代間の性能トレンドから前記第 3 の回路の性能を予測する第 4 のステップを更に備え、

前記第 4 のステップで求めた前記第 3 の回路の性能予測値を前記第 3 のステップで用いることを特徴とする集積回路の性能予測方法。

【請求項 3】 請求項 1 又は 2 に記載の集積回路の性能予測方法において、

前記第 2 のステップは、各々前記第 1 及び第 2 の回路と同種の回路である既存異種回路間の性能相関係数のトレンドから前記第 3 及び第 4 の回路の間の性能相関係数を予測する第 5 のステップを備え、

前記第 5 のステップで予測した性能相関係数を前記第 3 のステップで用いることを特徴とする集積回路の性能予測方法。

【請求項 4】 開発初期段階で集積回路の性能を予測する方法であって、

既存かつ複数世代のプロセスによる旧回路の性能をそれぞれ求める第 1 のステップと、

前記旧回路と同種の回路でありかつ次世代プロセスによる新回路の性能を前記旧回路に関する既存プロセス世代間の性能トレンドから予測する第 2 のステップとを備えたことを特徴とする集積回路の性能予測方法。

【請求項 5】 請求項 1 ～ 4 のいずれか 1 項に記載の集積回路の性能予測方

法において、

回路性能として、前記各回路の遅延時間、消費電力、チップ面積のうち少なくとも1つを用いることを特徴とする集積回路の性能予測方法。

【請求項6】 請求項1～5のいずれか1項に記載の集積回路の性能予測方法において、

全部又は一部の既存回路の性能をシミュレーション、モデル式、T C A D (Technology Computer Aided Design) のうちのいずれかにより求めることを特徴とする集積回路の性能予測方法。

【請求項7】 請求項1～5のいずれか1項に記載の集積回路の性能予測方法において、

全部又は一部の既存回路の性能を実測により求めることを特徴とする集積回路の性能予測方法。

【請求項8】 請求項1～7のいずれか1項に記載の集積回路の性能予測方法の結果から次世代プロセスの回路ライブラリを生成するステップと、

前記生成した回路ライブラリをもとに次世代プロセスを用いた回路設計を行うステップとを備えたことを特徴とする集積回路の設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、新たに開発する集積回路の性能を開発初期段階で予測するための性能予測方法及び当該集積回路の設計方法に関するものである。

【0002】

【従来の技術】

近年、微細・大規模・高機能化の進む集積回路や、それから構成されるシステムがあるが、これらの設計と製造プロセス双方の境界分野に属する開発過程の1つとして性能予測技術がある。例えば、設計技術者がプロセス仕様案から初期の開発段階において回路性能を予測したり、製造プロセス技術者が必要な回路性能を満足する製造プロセス条件を予測したりすることである。性能予測技術は、設計と製造プロセス両者の最適な条件の組み合わせを探す目的で、又は性能の達成

できる可能性を早い時点で明確にし、以て開発の方向性を明確にする目的で行われる。

【 0 0 0 3 】

従来の性能予測技術は、ロジック回路を階層的にモデル式で表現し、互いに関連したモデル式群の入力変数に値を入力すると、モデル式に沿って計算が進み最後に性能の予測値が得られるというものである（特許文献 1 参照）。

【 0 0 0 4 】

【特許文献 1】

特開平 1 0 - 2 8 4 6 0 6 号公報

【 0 0 0 5 】

【発明が解決しようとする課題】

上記従来の性能予測技術では、設計や製造プロセスの各種条件をパラメータとして容易にモデル式で表現することができ、それらの各種性能へ与える効果を評価することができる。しかしながら、集積回路の各プロセス世代間では、相互のモデル式間の関連付けが困難であり、回路に依存する効果の表現に限界がある。また、各プロセス世代のモデル式をその都度構築していたのでは、高精度なモデル式を構築することができても膨大な工数を要する。

【 0 0 0 6 】

本発明の目的は、既存のプロセス世代の性能パラメータ情報を用いて少ない工数で次世代回路の性能を予測し、これを回路設計に活用することにある。

【 0 0 0 7 】

【課題を解決するための手段】

上記目的を達成するため、請求項 1 の発明は、開発初期段階で集積回路の性能を予測する方法において、既存かつ同一世代のプロセスによる異種の第 1 及び第 2 の回路の性能をそれぞれ求める第 1 のステップと、前記第 1 及び第 2 の回路の間の性能相関係数を求める第 2 のステップと、各々前記第 1 及び第 2 の回路と同種の回路でありかつ次世代プロセスによる第 3 及び第 4 の回路のうち、前記第 3 の回路の性能予測値又は性能目標値と、前記第 2 のステップで求めた性能相関係数とを用いて、前記第 4 の回路の性能を予測する第 3 のステップとを備えること

としたものである。

【 0 0 0 8 】

また、請求項 2 の発明に係る集積回路の性能予測方法は、前記第 1 の回路と同種の回路に関する既存プロセス世代間の性能トレンドから前記第 3 の回路の性能を予測する第 4 のステップを更に備え、前記第 4 のステップで求めた前記第 3 の回路の性能予測値を前記第 3 のステップで用いることとしたものである。

【 0 0 0 9 】

また、請求項 3 の発明に係る集積回路の性能予測方法では、前記第 2 のステップは、各々前記第 1 及び第 2 の回路と同種の回路である既存異種回路間の性能相関係数のトレンドから前記第 3 及び第 4 の回路の間の性能相関係数を予測する第 5 のステップを備え、前記第 5 のステップで予測した性能相関係数を前記第 3 のステップで用いることとしたものである。

【 0 0 1 0 】

請求項 4 の発明は、開発初期段階で集積回路の性能を予測する方法において、既存かつ複数世代のプロセスによる旧回路の性能をそれぞれ求める第 1 のステップと、前記旧回路と同種の回路でありかつ次世代プロセスによる新回路の性能を前記旧回路に関する既存プロセス世代間の性能トレンドから予測する第 2 のステップとを備えることとしたものである。

【 0 0 1 1 】

また、請求項 5 の発明に係る集積回路の性能予測方法は、回路性能として、前記各回路の遅延時間、消費電力、チップ面積のうち少なくとも 1 つを用いることとしたものである。

【 0 0 1 2 】

また、請求項 6 の発明に係る集積回路の性能予測方法は、全部又は一部の既存回路の性能をシミュレーション、モデル式、T C A D (Technology Computer Aided Design) のうちのいずれかにより求めることとしたものである。

【 0 0 1 3 】

また、請求項 7 の発明に係る集積回路の性能予測方法は、全部又は一部の既存回路の性能を実測により求めることとしたものである。

【 0 0 1 4 】

請求項 8 の発明に係る集積回路の設計方法は、上記本発明に係る集積回路の性能予測方法の結果から次世代プロセスの回路ライブラリを生成するステップと、前記生成した回路ライブラリをもとに次世代プロセスを用いた回路設計を行うステップとを備えることとしたものである。

【 0 0 1 5 】

【発明の実施の形態】

以下、本発明の実施形態について図面を参照しながら説明する。

【 0 0 1 6 】

図 1 は、本発明に係る集積回路の性能予測方法及び設計方法の具体例を示している。図 1 において、ステップ S T 1 0 1 では、次世代プロセスを用いて設計したい回路とほぼ同じ要素によって構成される既存回路のレイアウト情報を準備する。準備する回路 A ～ X はそれぞれ異なる回路である。例えば、回路 A がインバータ、回路 B が 2 入力 N A N D ゲート、回路 C が 2 入力 N O R ゲート、回路 X が M P U 中のクリティカルパスの場合や、回路 A が M C U 中のクリティカルパス、回路 B が D S P 中のデータパスにおけるクリティカルパス、回路 C が D S P 中の S R A M のクリティカルパス、回路 X がインバータの場合などである。なお、回路数はいくつあってもよく、必要に応じて変更することができる。

【 0 0 1 7 】

ステップ S T 1 0 2 では、上記回路群のネットリストを抽出し、必要なパラメータから、ステップ S T 1 0 3 で回路シミュレーション、モデル式、T C A D のうちのいずれかを用いて、ステップ S T 1 0 4 で遅延時間を、ステップ S T 1 0 5 で消費電力を、ステップ S T 1 0 6 でチップ面積をそれぞれ求める。これら回路の遅延時間、消費電力及びチップ面積は、集積回路の性能予測の最も重要な要素である。回路シミュレーションとしては Avant! Star-Hspice、Silvaco SmartSpice などが、モデル式としては前掲の特許文献 1 の技術や、B A C P A C (Berkley Advanced Chip Performance Calculator)、G T X (The GSRC Technology Extrapolation System) などが、T C A D としては Selete Shamp などがそれぞれ利用可能である。

【 0 0 1 8 】

ステップ S T 1 0 7 では、遅延時間、消費電力及びチップ面積それぞれの値をプロセス世代毎にまとめて、性能パラメータ値を記憶装置に格納する。

【 0 0 1 9 】

ステップ S T 1 0 8 では、上記回路群の性能パラメータ値に基づいて回路性能の相関関係を求める。例えば回路 A の性能と回路 B の性能とに基づいて、遅延時間、消費電力、チップ面積の相関関係を求め、ステップ S T 1 0 9 で相関関係を記憶装置に格納する。図 2 に示すように、回路性能を任意に組み合わせる相関関係を定義すればよい。例えば、回路 A の遅延時間と回路 B の遅延時間、回路 A の遅延時間と回路 B の消費電力、回路 A のチップ面積と回路 B の遅延時間というように性能パラメータ間で組み合わせることができる。

【 0 0 2 0 】

図 3 を用いて、ステップ S T 1 0 8 で求められる回路性能の相関関係に関する具体例を説明する。ここでは、回路 A 及び回路 A A がインバータであり、回路 B 及び回路 B B が 2 入力 N A N D ゲートであって、それらの遅延時間の相関関係を考えるものとする。図 3 において、1 1 及び 1 2 は前々世代プロセスによるインバータ及び 2 入力 N A N D ゲート、1 2 及び 2 2 は前世代プロセスによるインバータ及び 2 入力 N A N D ゲート、1 3 及び 2 3 は現世代プロセスによるインバータ及び 2 入力 N A N D ゲート、3 1 及び 4 1 は次世代プロセスによるインバータ及び 2 入力 N A N D ゲートである。ここで、同一プロセス世代における異種回路間の性能相関係数 $\rho 1$ [前々世代]、 $\rho 2$ [前世代]、 $\rho 3$ [現世代]、 ρ [次世代] を、

$$\rho 1 = (\text{回路 } 2 1 \text{ の遅延時間}) / (\text{回路 } 1 1 \text{ の遅延時間})$$

$$\rho 2 = (\text{回路 } 2 2 \text{ の遅延時間}) / (\text{回路 } 1 2 \text{ の遅延時間})$$

$$\rho 3 = (\text{回路 } 2 3 \text{ の遅延時間}) / (\text{回路 } 1 3 \text{ の遅延時間})$$

$$\rho = (\text{回路 } 4 1 \text{ の遅延時間}) / (\text{回路 } 3 1 \text{ の遅延時間})$$

とする。更に、同種回路における異なるプロセス世代間の性能相関係数 $\mu 1$ [前々世代：前世代]、 $\mu 2$ [前世代：現世代]、 μ [現世代：次世代] を、

$$\mu 1 = (\text{回路 } 1 2 \text{ の遅延時間}) / (\text{回路 } 1 1 \text{ の遅延時間})$$

$$\mu_2 = (\text{回路}13\text{の遅延時間}) / (\text{回路}12\text{の遅延時間})$$

$$\mu = (\text{回路}31\text{の遅延時間}) / (\text{回路}13\text{の遅延時間})$$

とする。これらのうち、 ρ_1 、 ρ_2 、 ρ_3 、 μ_1 、 μ_2 が、ステップST108で求められてステップST109で記憶装置に格納される。 ρ 及び μ は予測の対象である。

【0021】

ステップST110では、ステップST109で格納した既知のプロセス世代間の性能相関係数（図3中の μ_1 、 μ_2 に相当する）を判別して、未知の性能相関係数 μ を予測する。図4のようにプロセス世代間の性能相関係数がほぼ一定である場合には、それらの性能相関係数の平均値を μ とする。図5のようにプロセス世代間の性能相関係数が単調に増加又は減少している場合には、近似曲線を導出し、この近似曲線から μ を予測する。図6のようにプロセス世代間の性能相関係数がばらついている場合には、それらの性能相関係数の平均値を μ とすればよい。同様にして、ステップST109で格納した既知の異種回路間の性能相関係数（図3中の ρ_1 、 ρ_2 、 ρ_3 に相当する）から未知の性能相関係数 ρ を予測する。

【0022】

ステップST111では、次世代回路性能を予測する。図3の例では、ステップST110で予測したプロセス世代間の性能相関係数 μ を用いて、

$$(\text{回路}31\text{の遅延時間}) = (\text{回路}13\text{の遅延時間}) \times \mu$$

により、まず次世代回路AAの性能を予測する。更に、ステップST110で予測した異種回路間の性能相関係数 ρ を用いて、

$$(\text{回路}41\text{の遅延時間}) = (\text{回路}31\text{の遅延時間}) \times \rho$$

により、次世代回路BBの性能を予測する。

【0023】

他の回路C～Xに対応する次世代回路についても、その性能を同様にして予測することができる。

【0024】

ステップST112では、ステップST111で予測された次世代回路性能に

基づいて、既存プロセスのライブラリを用いて次世代プロセスの回路ライブラリを生成する。例えば、前プロセスのライブラリ中の寄生容量値に性能相関係数をかけて、新たに次世代プロセスの回路ライブラリ、例えば遅延ライブラリ、消費電力ライブラリなどを生成することができ、これを論理シミュレーションに用いることができる。

【 0 0 2 5 】

ステップ S T 1 1 3 では、ステップ S T 1 1 2 の回路ライブラリをもとに次世代プロセスを用いた回路設計を行う。

【 0 0 2 6 】

以上説明してきた集積回路の性能予測方法及び設計方法によれば、既存のプロセスによる回路性能情報だけで次世代回路性能を予測することができる。しかも、異種回路間の性能相関係数のトレンドを利用しているので、性能相関係数 ρ の予測結果について高い精度が得られる。

【 0 0 2 7 】

なお、図 4 ～ 図 6 のようなプロセス世代間の性能相関係数のトレンドが得られない場合には、次世代回路 A A の性能目標値を予め設定したうえ、異種回路間の性能相関係数 ρ を用いて次世代回路 B B の性能を予測すればよい。また、異種回路間の性能相関係数がプロセス世代によらずほぼ一定であることが予め分かっている場合には、 $\rho 1$ 、 $\rho 2$ 、 $\rho 3$ のうちのいずれかを ρ として採用し、この ρ を用いて次世代回路 B B の性能を予測すればよい。

【 0 0 2 8 】

図 7 は、本発明に係る集積回路の性能予測方法及び設計方法の他の具体例を示している。図 7 において、ステップ S T 2 0 1 ～ S T 2 0 7 は図 1 中のステップ S T 1 0 1 ～ S T 1 0 7 と同等である。ステップ S T 2 0 8 では、ステップ S T 2 0 7 で格納した性能パラメータから次世代回路性能を予測する。図 8 はその予測方法を示したものであって、プロセス世代間の回路性能トレンドから次世代の回路性能パラメータを予測するのである。図 8 のように、近似曲線又は近似直線から次世代回路性能パラメータを予測することができる。

【 0 0 2 9 】

ステップ S T 2 0 9 では、ステップ S T 2 0 8 で予測された次世代回路性能に基づいて、既存プロセスのライブラリを用いて次世代プロセスの回路ライブラリを生成する。例えば、前プロセスのライブラリ中の寄生容量値にシュリンク分の係数をかけて、新たに次世代プロセスの回路ライブラリ、例えば遅延ライブラリ、消費電力ライブラリなどを生成することができ、これを論理シミュレーションに用いることができる。次のステップ S T 2 1 0 では、ステップ S T 2 0 9 の回路ライブラリをもとに次世代プロセスを用いた回路設計を行う。

【 0 0 3 0 】

図 7 の性能予測方法及び設計方法によれば、図 1 の場合と異なり、既存のプロセスの回路性能トレンドから直接に次世代回路の性能予測を行うので、短時間で性能予測を行うことができる。

【 0 0 3 1 】

なお、図 1 及び図 7 の性能予測方法及び設計方法において、回路 A ～ X のうちの全部又は一部について実際のウエハ又は実装後チップを準備し、実測により回路の遅延時間、消費電力及びチップ面積それぞれの値を求め、これらの値を次世代回路性能予測に利用するようにしてもよい。

【 0 0 3 2 】

以上、回路の性能として遅延時間、消費電力、チップ面積を予測する方法について説明したが、本発明における性能予測はこれらに限定されるものではない。例えば、回路の歩留まりを評価することも可能である。

【 0 0 3 3 】

【発明の効果】

以上説明してきたとおり、本発明によれば、既存の回路を利用して次世代回路性能を予測するようにしたので、少ない工数で、新たに次世代プロセスの回路を設計初期段階に検討することができる。

【図面の簡単な説明】

【図 1】

本発明に係る集積回路の性能予測方法及び設計方法の具体例を示すフローチャート図である。

【図 2】

図 1 の性能予測方法で利用される回路性能の相関関係の定義を説明するための図である。

【図 3】

図 1 の性能予測方法で利用される回路性能の相関関係の具体例を示す図である。

【図 4】

図 1 の性能予測方法においてプロセス世代間の性能相関係数がほぼ一定である場合の次世代回路性能予測の例を示す図である。

【図 5】

図 1 の性能予測方法においてプロセス世代間の性能相関係数が単調に増加又は減少する場合の次世代回路性能予測の例を示す図である。

【図 6】

図 1 の性能予測方法においてプロセス世代間の性能相関係数がばらつく場合の次世代回路性能予測の例を示す図である。

【図 7】

本発明に係る集積回路の性能予測方法及び設計方法の他の具体例を示すフローチャート図である。

【図 8】

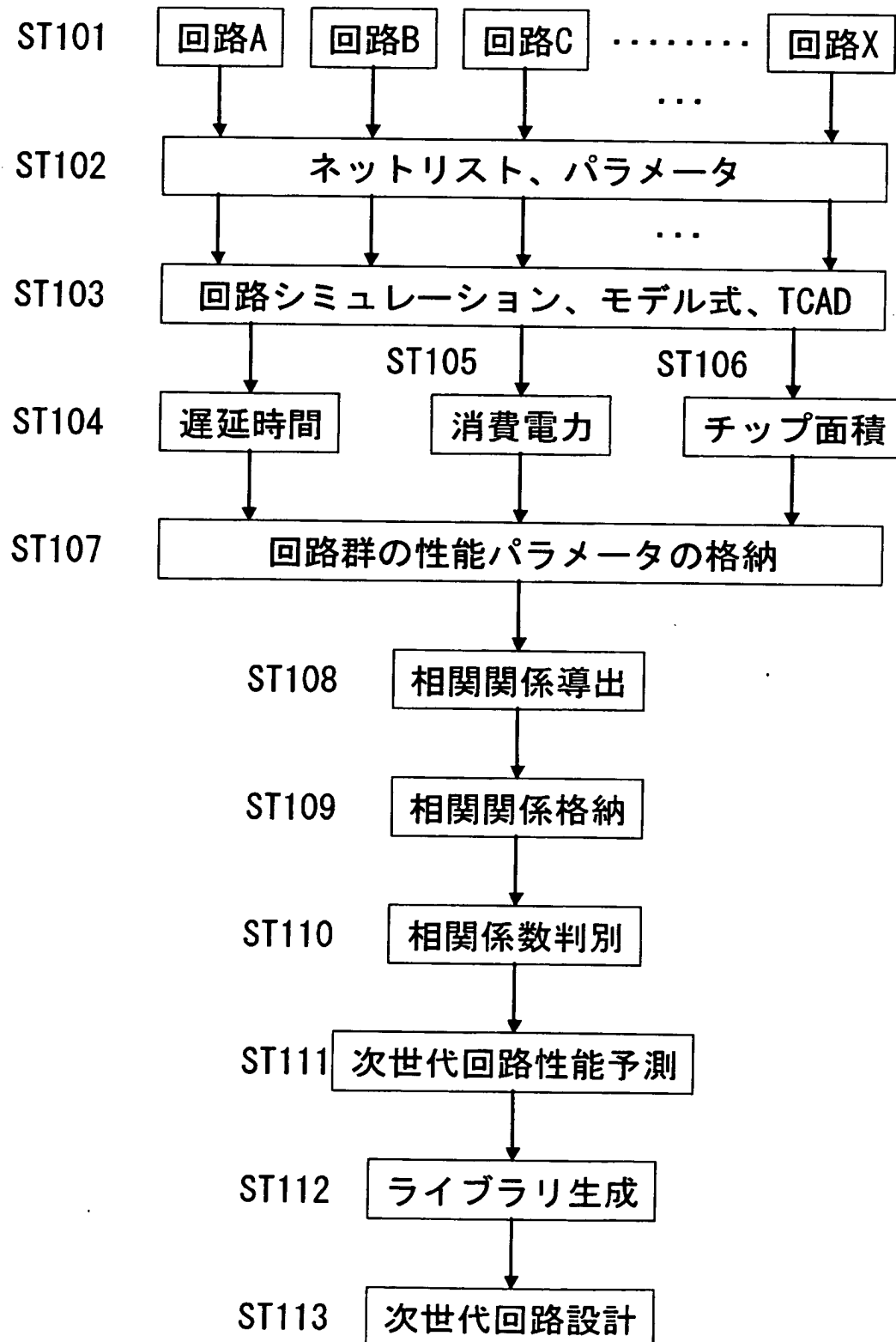
図 7 の性能予測方法による次世代回路性能予測の例を示す図である。

【符号の説明】

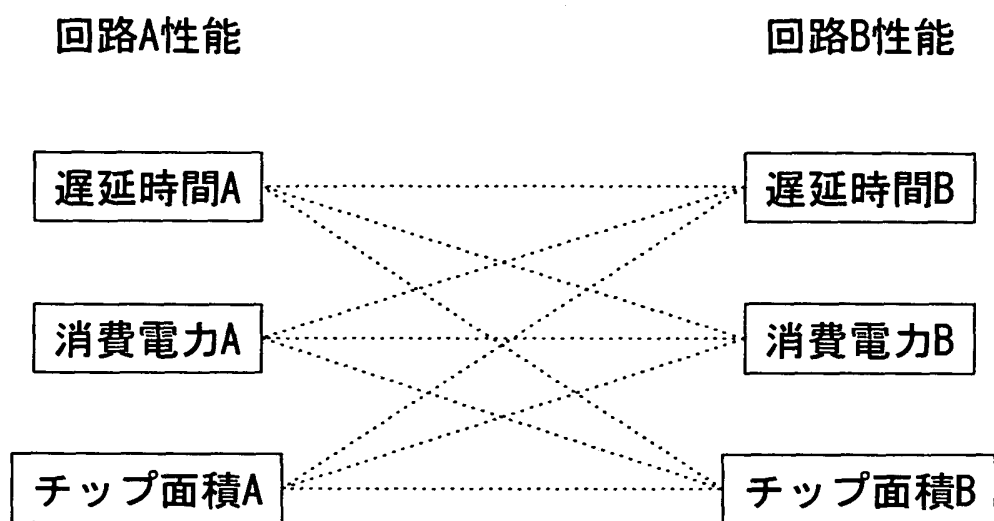
- 1 1, 1 2, 1 3 現世代以前のプロセスによるインバータ
- 2 1, 2 2, 2 3 現世代以前のプロセスによる 2 入力 N A N D ゲート
- 3 1 次世代プロセスによるインバータ
- 4 1 次世代プロセスによる 2 入力 N A N D ゲート

【書類名】 図面

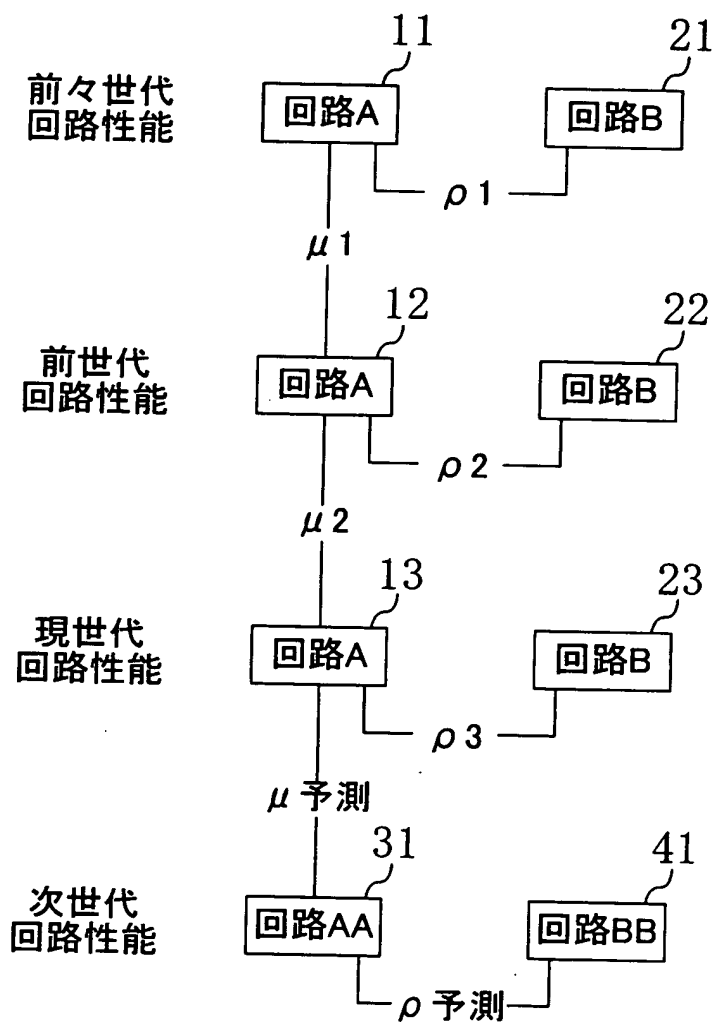
【図 1】



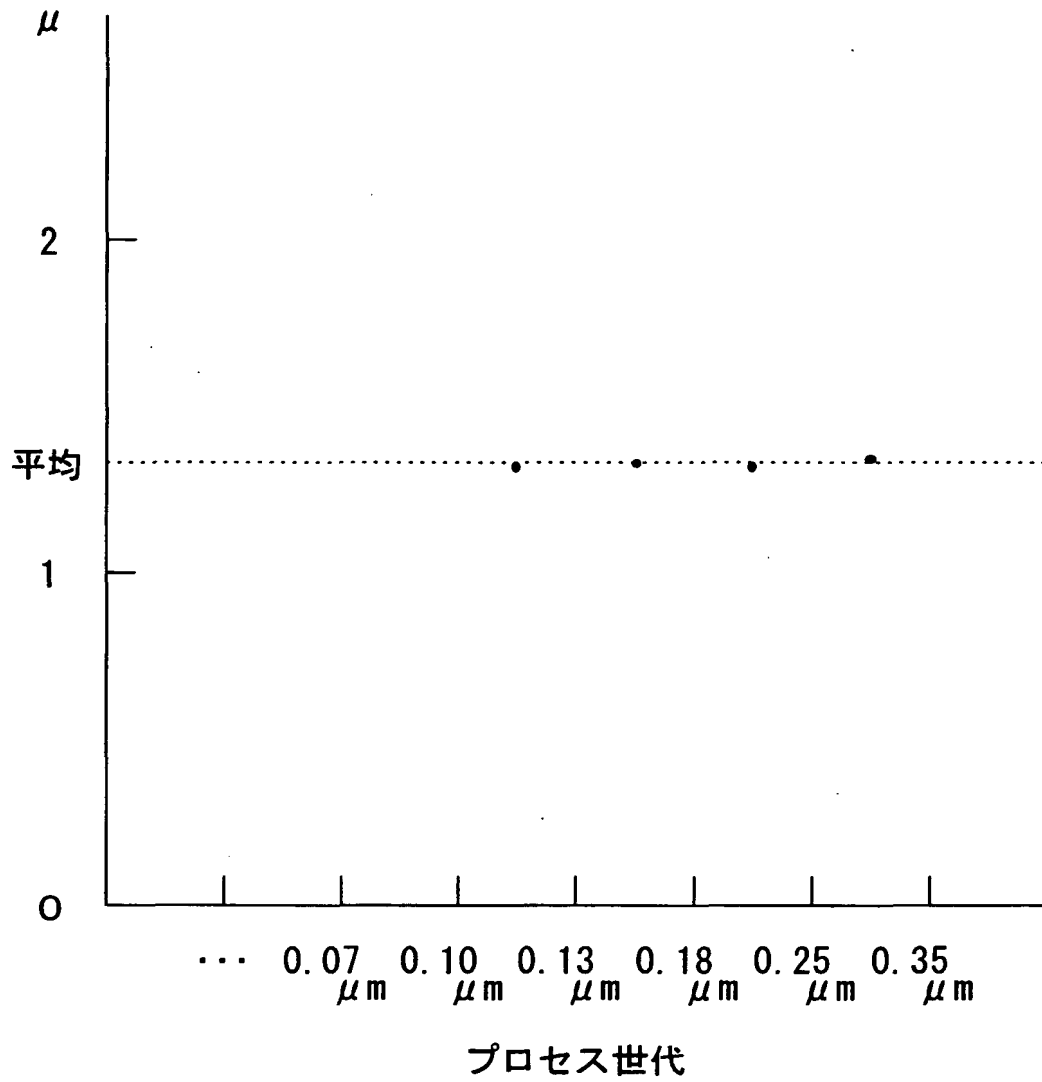
【図 2】



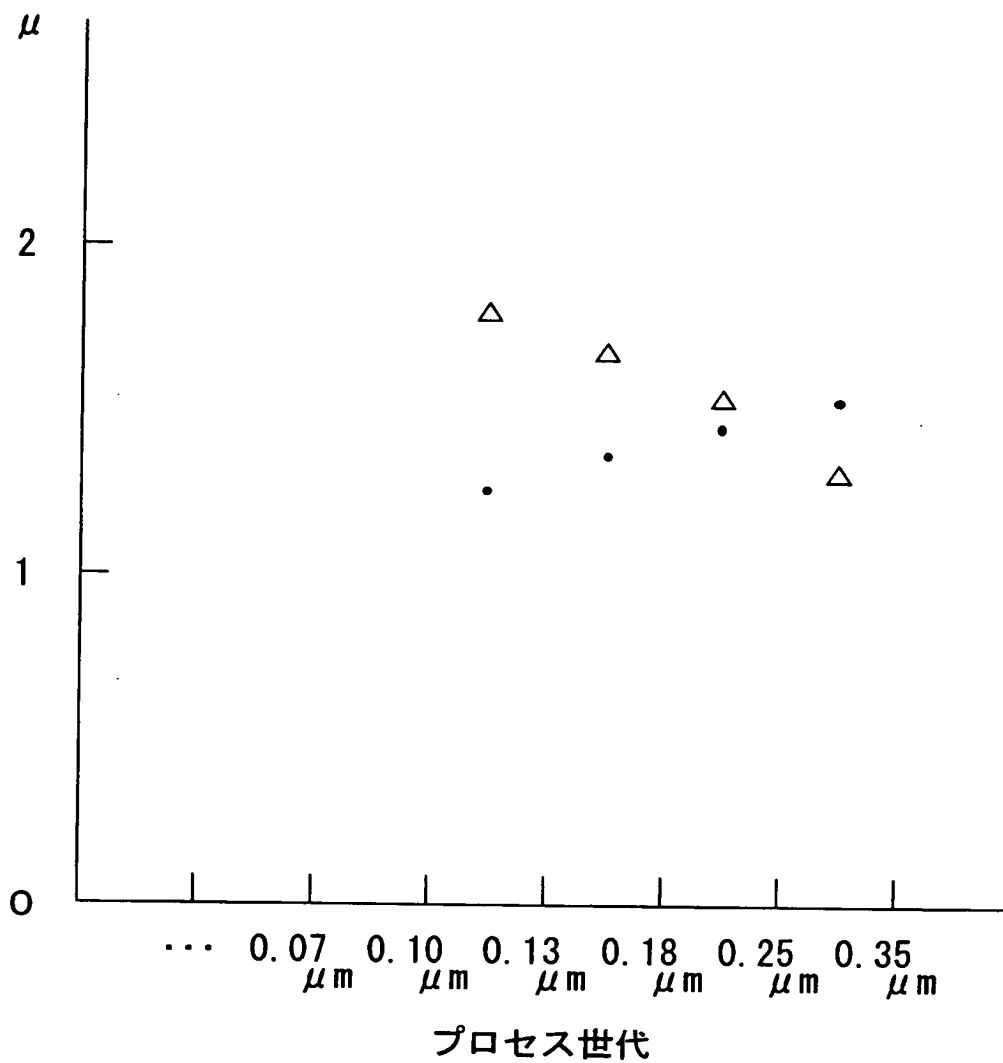
【図 3】



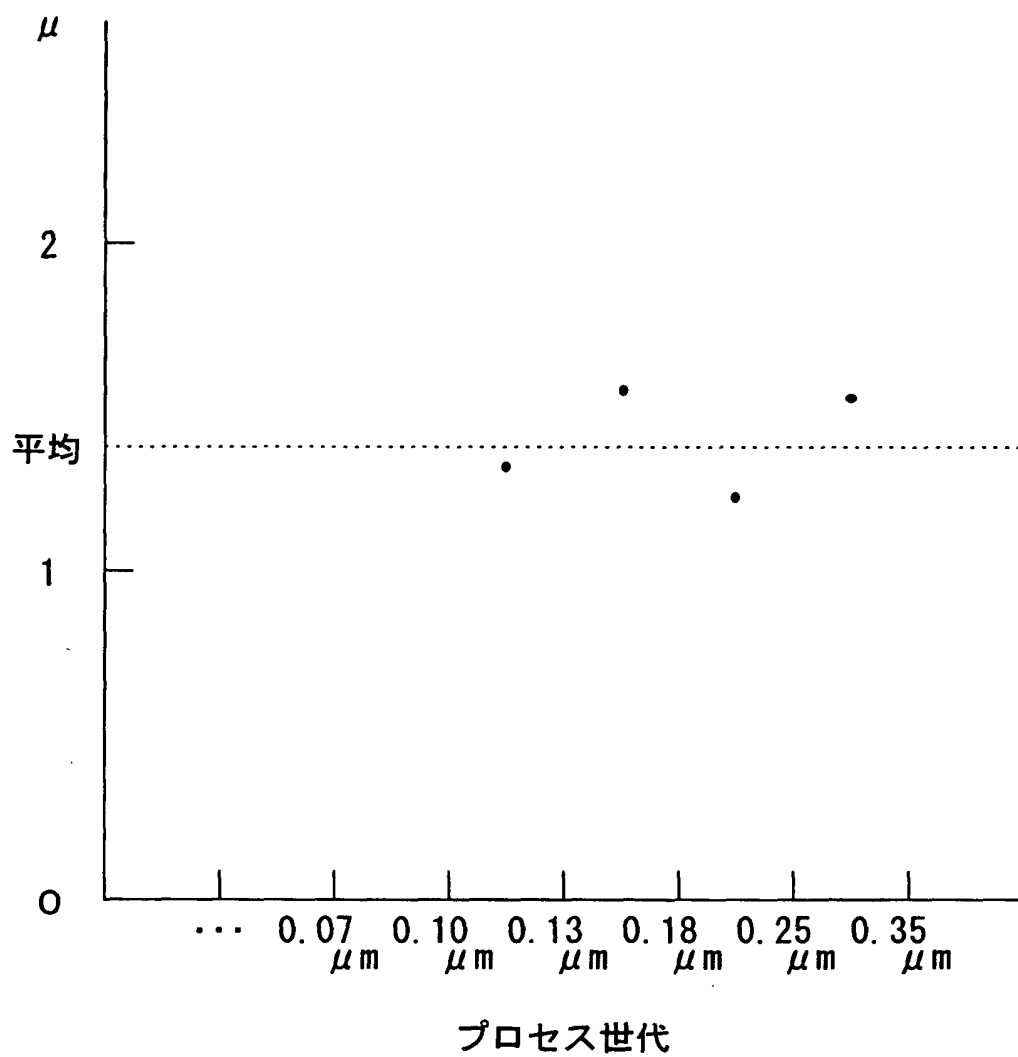
【図 4】



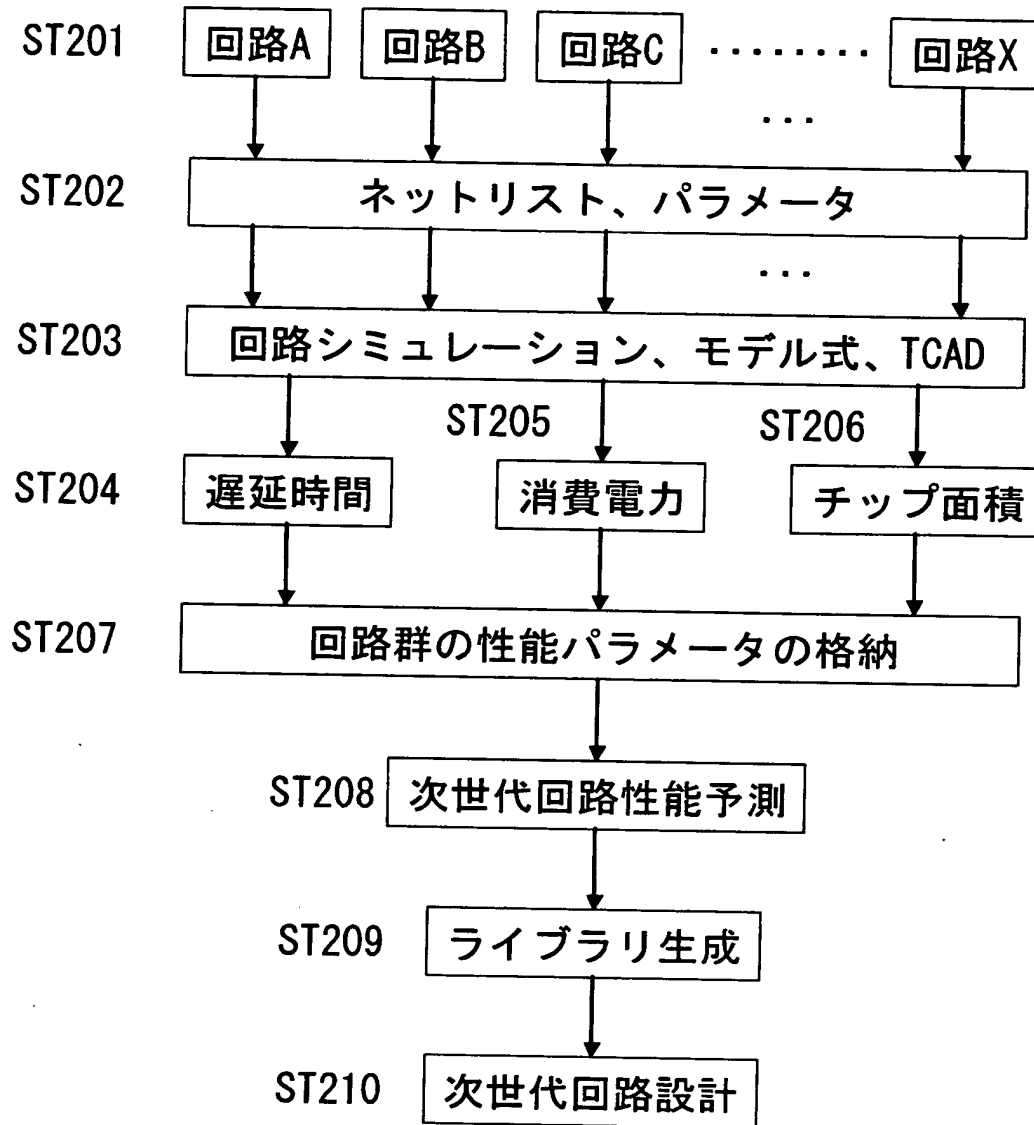
【図 5】



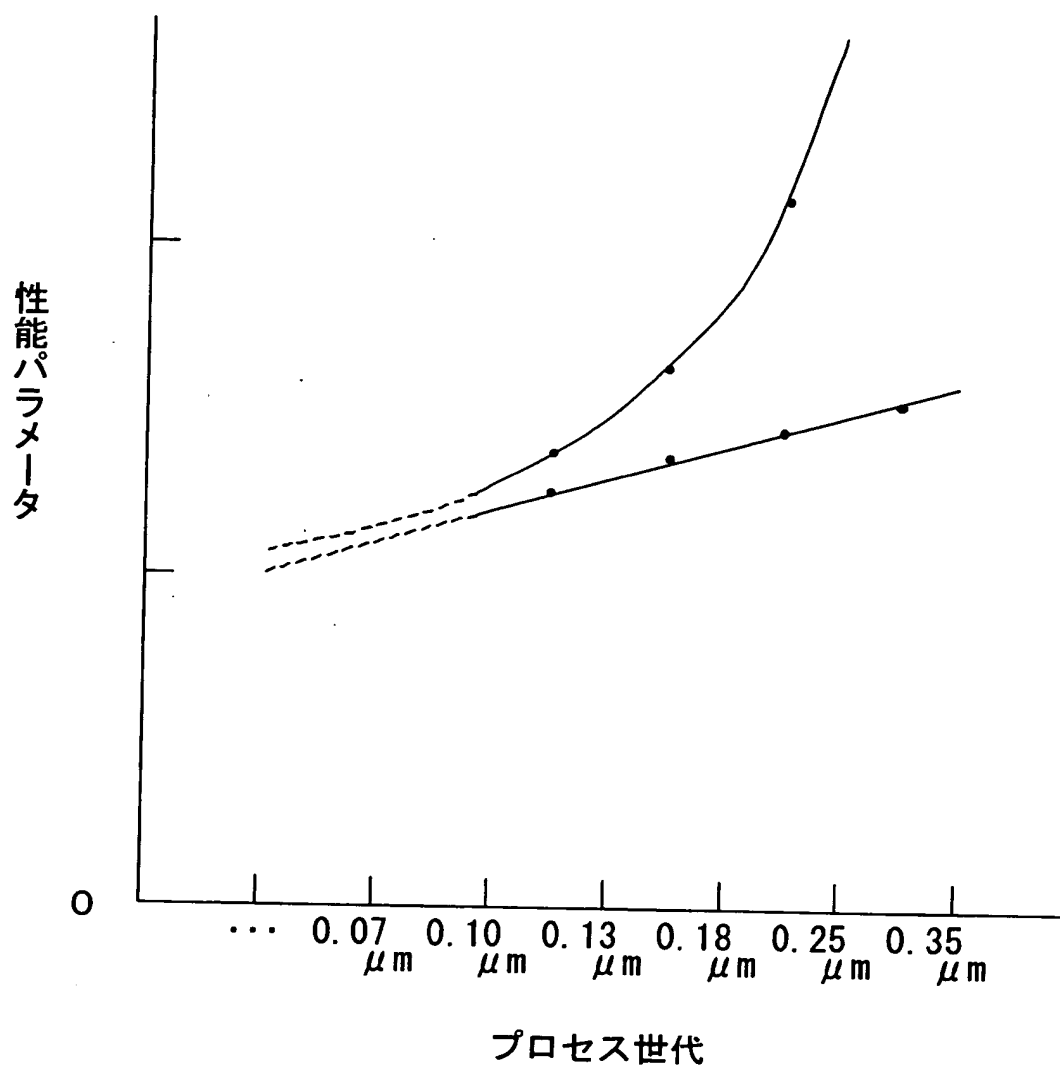
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 次世代プロセスによる集積回路の性能を少ない工数で予測する。

【解決手段】 同種回路におけるプロセス世代間の性能相関係数のトレンド (μ_1, μ_2) から現世代と次世代との間の回路性能相関係数 μ を予測するとともに、同一プロセス世代における異種回路間の性能相関係数のトレンド (ρ_1, ρ_2, ρ_3) から次世代プロセスによる異種回路間の性能相関係数 ρ を予測し、回路 A の既知の性能をもとに、相関係数 μ 及び ρ を用いて次世代回路 A A 及び B B の性能を予測する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社